

# INTERNATIONAL STANDARD

# NORME INTERNATIONALE

---

**Semiconductor devices –  
Part 15: Discrete devices – Isolated power semiconductor devices**

**Dispositifs à semiconducteurs –  
Partie 15: Dispositifs discrets – Dispositifs de puissance à semiconducteurs  
isolés**

INTERNATIONAL  
ELECTROTECHNICAL  
COMMISSION

COMMISSION  
ELECTROTECHNIQUE  
INTERNATIONALE

---

ICS 31.080.99

ISBN 978-2-8322-9789-6

**Warning! Make sure that you obtained this publication from an authorized distributor.  
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

## CONTENTS

FOREWORD.....	5
1 Scope.....	7
2 Normative references .....	7
3 Terms and definitions .....	8
4 Letter symbols .....	9
4.1 General.....	9
4.2 Additional subscripts/symbols .....	9
4.3 List of letter symbols.....	9
4.3.1 Voltages and currents.....	9
4.3.2 Mechanical symbols .....	10
4.3.3 Other symbols .....	10
5 Essential ratings (limiting values) and characteristics .....	10
5.1 General.....	10
5.2 Ratings (limiting values).....	10
5.2.1 Isolation voltage or isolation test voltage ( $V_{isol}$ ) .....	10
5.2.2 Peak case non-rupture current (where appropriate) .....	10
5.2.3 Terminal current ( $I_{tRMS}$ ) (where appropriate) .....	10
5.2.4 Temperatures .....	11
5.2.5 Mechanical ratings.....	11
5.2.6 Climatic ratings (where appropriate) .....	11
5.3 Characteristics.....	12
5.3.1 Mechanical characteristics.....	12
5.3.2 Parasitic inductance ( $L_p$ ).....	12
5.3.3 Parasitic capacitances ( $C_p$ ).....	12
5.3.4 Partial discharge inception voltage ( $V_{iM}$ or $V_{i(RMS)}$ ) (where appropriate) .....	12
5.3.5 Partial discharge extinction voltage ( $V_{eM}$ or $V_{e(RMS)}$ ) (where appropriate).....	12
5.3.6 Thermal resistances .....	12
5.3.7 Transient thermal impedance ( $Z_{th}$ ).....	13
6 Measurement methods .....	13
6.1 Verification of isolation voltage rating.....	13
6.1.1 Verification of isolation voltage rating between terminals and base plate ( $V_{isol}$ ).....	13
6.1.2 Verification of isolation voltage rating between temperature sensor and terminals ( $V_{isol1}$ ) .....	15
6.2 Methods of measurement.....	15
6.2.1 Partial discharge inception and extinction voltages ( $V_i$ ) ( $V_e$ ).....	15
6.2.2 Parasitic inductance ( $L_p$ ).....	15
6.2.3 Parasitic capacitance terminal to case ( $C_p$ ).....	17
6.2.4 Thermal characteristics.....	18
7 Acceptance and reliability.....	21
7.1 General requirements .....	21
7.2 List of endurance tests.....	21
7.3 Acceptance defining criteria.....	21
7.4 Type tests and routine tests .....	22

7.4.1	Type tests.....	22
7.4.2	Routine tests .....	23
Annex A	(informative) Test method of peak case non-rupture current .....	24
A.1	Purpose .....	24
A.2	Circuit diagram .....	24
A.3	Test procedure.....	26
A.4	Post test measurements and criteria .....	26
A.5	Specified conditions.....	26
Annex B	(informative) Measuring method of the thickness of thermal compound paste .....	27
B.1	General.....	27
B.2	Measuring method .....	27
Annex C	(informative) Intelligent power semiconductor modules (IPMs).....	28
C.1	General.....	28
C.2	Control terminals of IPM .....	28
C.3	Essential ratings (limiting value) and characteristics .....	29
C.3.1	General .....	29
C.3.2	Ratings (limiting value) and testing method.....	29
C.3.3	Characteristics and measuring method .....	34
Bibliography	.....	57

Figure 1	– Basic circuit diagram for isolation breakdown withstand voltage test ("high pot test") with $V_{isol}$ .....	14
Figure 2	– Basic circuit diagram for isolation voltage test between temperature sensor and terminals ( $V_{isol1}$ ).....	15
Figure 3	– Circuit diagram for measurement of parasitic inductances ( $L_p$ ).....	16
Figure 4	– Wave forms.....	17
Figure 5	– Circuit diagram for measurement of parasitic capacitance ( $C_p$ ).....	18
Figure 6	– Cross-section of an isolated power device with reference points for temperature measurement of $T_c$ and $T_s$ .....	19
Figure A.1	– Circuit diagram for test of peak case non-rupture current.....	25
Figure B.1	– Example of a measuring gauge for a layer of thermal compound paste of a thickness between 5 $\mu\text{m}$ and 150 $\mu\text{m}$ .....	27
Figure C.1	– Example of internal circuit configuration block diagram of IPM.....	28
Figure C.2	– Testing circuit for supply voltage, input voltage / input signal voltage, and fault output voltage / alarm signal voltage .....	30
Figure C.3	– Testing circuit for fault output current / alarm signal current.....	31
Figure C.4	– Testing circuit for main circuit DC bus voltage at short circuit .....	33
Figure C.5	– Waveforms of short circuit protection function.....	34
Figure C.6	– Measurement circuit for switching times and switching energy at inductive load (lower arm device measurement).....	35
Figure C.7	– Switching waveforms at inductive load.....	36
Figure C.8	– Measurement circuit for control circuit current .....	39
Figure C.9	– Measurement circuit for input threshold voltage .....	40
Figure C.10	– Measuring circuit for over current protection level/short circuit trip level.....	42
Figure C.11	– Waveforms during over current protection / short circuit protection .....	43

Figure C.12 – Measurement circuit for over current protection delay time/Short circuit current delay time ..... 45

Figure C.13 – Waveforms of protection delay time during over current protection / short circuit protection ..... 46

Figure C.14 – Measurement circuit for over temperature protection and its hysteresis ..... 48

Figure C.15 – Waveforms during the overheating protection operation and the fault output ..... 50

Figure C.16 – Waveforms during the under-voltage protection operation and the fault output ..... 51

Figure C.17 – Measurement circuit for fault output current ..... 52

Figure C.18 – Measurement circuit for common mode noise withstand capability ..... 54

Figure C.19 – Waveforms during the common mode noise withstand capability measurement ..... 55

  

Table 1 – Endurance tests ..... 21

Table 2 – Acceptance defining characteristics for endurance and reliability tests ..... 21

Table 3 – Minimum type and routine tests for isolated power semiconductor devices ..... 22

Table C.1 – Acceptance defining criteria for the IPM control circuit after rating tests ..... 34

## INTERNATIONAL ELECTROTECHNICAL COMMISSION

## SEMICONDUCTOR DEVICES –

## Part 15: Discrete devices – Isolated power semiconductor devices

## FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) IEC draws attention to the possibility that the implementation of this document may involve the use of (a) patent(s). IEC takes no position concerning the evidence, validity or applicability of any claimed patent rights in respect thereof. As of the date of publication of this document, IEC had not received notice of (a) patent(s), which may be required to implement this document. However, implementers are cautioned that this may not represent the latest information, which may be obtained from the patent database available at <https://patents.iec.ch>. IEC shall not be held responsible for identifying any or all such patent rights.

IEC 60747-15 has been prepared by subcommittee 47E: Discrete semiconductor devices, of IEC technical committee 47: Semiconductor devices. It is an International Standard.

This third edition cancels and replaces the second edition published in 2010. This edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the previous edition:

- a) The intelligent power semiconductor modules (IPM), which was previously excluded from the first and second edition, is now included in this document (Annex C);
- b) The thermal resistance is described for each switch (6.2.4);
- c) Added isolation test between temperature sensor and terminals, in case there is an agreement with the user (6.1.2).

The text of this International Standard is based on the following documents:

Draft	Report on voting
47E/832/FDIS	47E/844/RVD

Full information on the voting for its approval can be found in the report on voting indicated in the above table.

The language used for the development of this International Standard is English.

This document was drafted in accordance with ISO/IEC Directives, Part 2, and developed in accordance with ISO/IEC Directives, Part 1 and ISO/IEC Directives, IEC Supplement, available at [www.iec.ch/members\\_experts/refdocs](http://www.iec.ch/members_experts/refdocs). The main document types developed by IEC are described in greater detail at [www.iec.ch/publications](http://www.iec.ch/publications).

This International Standard is to be used in conjunction with IEC 60747-1:2006 and Amendment 1: 2010.

A list of all parts in the IEC 60747 series, published under the general title *Semiconductor devices*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under [webstore.iec.ch](http://webstore.iec.ch) in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn, or
- revised.

## SEMICONDUCTOR DEVICES –

### Part 15: Discrete devices – Isolated power semiconductor devices

#### 1 Scope

This part of IEC 60747 gives the requirements for isolated power semiconductor devices. These requirements are additional to those given in other parts of IEC 60747 for the corresponding non-isolated power devices and parts of IEC 60748 for ICs.

#### 2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60068-2-1:2007, *Environmental testing – Part 2-1: Tests – Test A: Cold*

IEC 60270:2015, *High-voltage test techniques – Partial discharge measurements*

IEC 60664-1:2020, *Insulation coordination for equipment within low-voltage systems – Part 1: Principles, requirements and tests*

IEC 60721-3-3:2019, *Classification of environmental conditions – Part 3-3: Classification of groups of environmental parameters and their severities – Stationary use at weather protected locations*

IEC 60747-1:2006, *Semiconductor devices – Part 1: General*  
IEC 60747-1:2006/AMD1:2010

IEC 60747-2:2016, *Semiconductor devices – Discrete devices and integrated circuits – Part 2: Rectifier diodes*

IEC 60747-6:2016, *Semiconductor devices – Part 6: Thyristors*

IEC 60747-7:2019, *Semiconductor discrete devices and integrated circuits – Part 7: Bipolar transistors*

IEC 60747-8:2021, *Semiconductor devices – Part 8: Field-effect transistors*

IEC 60747-9:2019, *Semiconductor devices – Discrete devices – Part 9: Insulated-gate bipolar transistors (IGBTs)*

IEC 60748 (all parts), *Semiconductor devices – Integrated circuits*

IEC 60749-5:2017, *Semiconductor devices – Mechanical and climatic test methods – Part 5: Steady-state temperature humidity bias life test*

IEC 60749-6:2017, *Semiconductor devices – Mechanical and climatic test methods – Part 6: Storage at high temperature*

IEC 60749-10:2003, *Semiconductor devices – Mechanical and climatic test methods – Part 10: Mechanical shock*

IEC 60749-12:2017, *Semiconductor devices – Mechanical and climatic test methods – Part 12: Vibration, variable frequency*

IEC 60749-15:2020, *Semiconductor devices – Mechanical and climatic test methods – Part 15: Resistance to soldering temperature for through-hole mounted devices*

IEC 60749-21:2011, *Semiconductor devices – Mechanical and climatic test methods – Part 21: Solderability*

IEC 60749-25:2003, *Semiconductor devices – Mechanical and climatic test methods – Part 25: Temperature cycling*

IEC 60749-34:2010, *Semiconductor devices – Mechanical and climatic test methods – Part 34: Power cycling*



## SOMMAIRE

AVANT-PROPOS .....	61
1 Domaine d'application .....	63
2 Références normatives .....	63
3 Termes et définitions .....	64
4 Symboles littéraux .....	65
4.1 Généralités .....	65
4.2 Symboles et indices supplémentaires.....	65
4.3 Liste de symboles littéraux.....	66
4.3.1 Tensions et courants .....	66
4.3.2 Symboles mécaniques .....	66
4.3.3 Autres symboles .....	66
5 Valeurs assignées (valeurs limites) et caractéristiques essentielles.....	66
5.1 Généralités .....	66
5.2 Valeurs assignées (conditions limites) .....	67
5.2.1 Tension d'isolement ou tension d'essai d'isolement ( $V_{isol}$ ) .....	67
5.2.2 Courant de crête de non-rupture de boîtier (le cas échéant) .....	67
5.2.3 Courant de borne ( $I_{teff}$ ) (le cas échéant) .....	67
5.2.4 Températures .....	67
5.2.5 Valeurs mécaniques assignées.....	67
5.2.6 Valeurs climatiques assignées (le cas échéant).....	68
5.3 Caractéristiques.....	68
5.3.1 Caractéristiques mécaniques .....	68
5.3.2 Inductance parasite ( $L_p$ ) .....	68
5.3.3 Capacités parasites ( $C_p$ ).....	69
5.3.4 Tension d'apparition de décharge partielle ( $V_{iM}$ ou $V_{i(eff)}$ ) (le cas échéant) .....	69
5.3.5 Tension d'extinction de décharge partielle ( $V_{eM}$ ou $V_{e(eff)}$ ) (le cas échéant) .....	69
5.3.6 Résistances thermiques.....	69
5.3.7 Impédance thermique transitoire ( $Z_{th}$ ) .....	70
6 Méthodes de mesure .....	70
6.1 Vérification de la valeur assignée de tension d'isolement.....	70
6.1.1 Vérification de la valeur assignée de tension d'isolement entre bornes et embase ( $V_{isol}$ ).....	70
6.1.2 Vérification de la valeur assignée de tension d'isolement entre le capteur de température et les bornes ( $V_{isol1}$ ) .....	71
6.2 Méthodes de mesure .....	71
6.2.1 Tensions d'apparition et d'extinction de décharge partielle ( $V_i$ ) ( $V_e$ ).....	71
6.2.2 Inductance parasite ( $L_p$ ) .....	71
6.2.3 Capacité parasite borne – boîtier ( $C_p$ ).....	74
6.2.4 Caractéristiques thermiques .....	74
7 Réception et fiabilité.....	77
7.1 Exigences générales.....	77
7.2 Liste des essais d'endurance .....	77
7.3 Critères de définition de la réception.....	78

7.4	Essais de type et essais individuels de série.....	78
7.4.1	Essais de type.....	78
7.4.2	Essais individuels de série.....	79
Annexe A (informative) Méthode d'essai du courant de crête de non-rupture de boîtier .....		80
A.1	Objectif.....	80
A.2	Schéma du circuit.....	80
A.3	Procédure d'essai.....	82
A.4	Mesures après essai et critères.....	82
A.5	Conditions spécifiées.....	82
Annexe B (informative) Méthode de mesure de l'épaisseur de la pâte thermique .....		83
B.1	Généralités.....	83
B.2	Méthode de mesure.....	83
Annexe C (informative) Modules de puissance à semiconducteurs intelligents (IPM) .....		84
C.1	Généralités.....	84
C.2	Bornes de commande des IPM.....	84
C.3	Valeurs assignées (valeurs limites) et caractéristiques essentielles.....	85
C.3.1	Généralités.....	85
C.3.2	Valeurs assignées (valeur limite) et méthode d'essai.....	85
C.3.3	Caractéristiques et méthode de mesure.....	91
Bibliographie.....		115
Figure 1 – Schéma du circuit de base pour l'essai de tenue en tension au claquage de l'isolement ("essai à potentiel élevé") avec $V_{isol}$ .....		70
Figure 2 – Schéma du circuit de base pour l'essai de tension d'isolement entre le capteur de température et les bornes ( $V_{isol1}$ ).....		71
Figure 3 – Schéma du circuit pour la mesure des inductances parasites ( $L_p$ ).....		72
Figure 4 – Formes d'onde.....		73
Figure 5 – Schéma de circuit pour la mesure de la capacité parasite ( $C_p$ ).....		74
Figure 6 – Section transversale d'un dispositif de puissance isolé avec des points de référence pour la mesure des températures $T_c$ et $T_s$ .....		75
Figure A.1 – Schéma du circuit pour l'essai du courant de crête de non-rupture de boîtier.....		81
Figure B.1 – Exemple d'un calibre de mesure de l'épaisseur de la couche de pâte thermique isolante comprise entre 5 $\mu\text{m}$ et 150 $\mu\text{m}$ .....		83
Figure C.1 – Exemple de schéma de principe de la configuration du circuit interne des IPM.....		84
Figure C.2 – Circuit d'essai pour la tension d'alimentation, la tension d'entrée/tension du signal d'entrée et la tension de sortie de défaut/tension du signal d'alarme.....		86
Figure C.3 – Circuit d'essai du courant de sortie de défaut/courant du signal d'alarme.....		87
Figure C.4 – Circuit d'essai pour la tension de la barre omnibus pour courant continu du circuit principal en court-circuit.....		89
Figure C.5 – Formes d'onde de la fonction de protection contre les courts-circuits.....		90
Figure C.6 – Circuit de mesure des temps de commutation et de l'énergie de commutation avec une charge inductive (mesure de la partie inférieure du dispositif).....		92
Figure C.7 – Formes d'onde de commutation avec une charge inductive.....		93
Figure C.8 – Circuit de mesure du courant du circuit de commande.....		96
Figure C.9 – Circuit de mesure de la tension de seuil d'entrée.....		97

Figure C.10 – Circuit de mesure du niveau de protection contre les surintensités/du niveau de déclenchement en court-circuit .....	99
Figure C.11 – Formes d’onde durant la protection contre les surintensités/la protection contre les courts-circuits .....	100
Figure C.12 – Circuit de mesure du temps de retard de la protection contre les surintensités/du temps de retard du courant de court-circuit .....	102
Figure C.13 – Formes d’onde du temps de retard de protection pendant la protection contre les surintensités/la protection contre les courts-circuits .....	103
Figure C.14 – Circuit de mesure de la protection contre les surtempératures et son hystérésis .....	105
Figure C.15 – Formes d’onde durant le déclenchement de la protection contre la surchauffe et de la sortie de défaut .....	107
Figure C.16 – Formes d’onde durant le déclenchement de la protection de sous-tension et de la sortie de défaut .....	109
Figure C.17 – Circuit de mesure du courant de sortie de défaut .....	110
Figure C.18 – Circuit de mesure de la capacité de tenue au bruit de mode commun .....	112
Figure C.19 – Formes d’onde pendant la mesure de la capacité de tenue au bruit en mode commun .....	113
Tableau 1 – Essais d’endurance .....	77
Tableau 2 – Caractéristiques définissant la réception pour les essais d’endurance et de fiabilité .....	78
Tableau 3 – Essais minimaux de type et individuels de série pour les dispositifs de puissance à semiconducteurs isolés .....	78
Tableau C.1 – Critères de définition de la réception du circuit de commande de l’IPM après les essais de performance .....	90

## COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

## DISPOSITIFS À SEMICONDUCTEURS –

**Partie 15: Dispositifs discrets – Dispositifs de puissance à semiconducteurs isolés**

## AVANT-PROPOS

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'IEC attire l'attention sur le fait que la mise en application du présent document peut entraîner l'utilisation d'un ou de plusieurs brevets. L'IEC ne prend pas position quant à la preuve, à la validité et à l'applicabilité de tout droit de propriété revendiqué à cet égard. À la date de publication du présent document, l'IEC [avait/n'avait pas] reçu notification qu'un ou plusieurs brevets pouvaient être nécessaires à sa mise en application. Toutefois, il y a lieu d'avertir les responsables de la mise en application du présent document que des informations plus récentes sont susceptibles de figurer dans la base de données de brevets, disponible à l'adresse <https://patents.iec.ch>. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevet.

L'IEC 60747-15 a été établie par le sous-comité 47E: Dispositifs discrets à semiconducteurs, du comité d'études 47 de l'IEC: Dispositifs à semiconducteurs. Il s'agit d'une Norme internationale.

Cette troisième édition annule et remplace la deuxième édition parue en 2010. Cette édition constitue une révision technique.

Cette édition inclut les modifications techniques majeures suivantes par rapport à l'édition précédente:

- a) les modules de puissance à semiconducteurs intelligents (IPM, Intelligent Power semiconductor Module), qui étaient auparavant exclus des première et deuxième éditions, sont désormais inclus dans le présent document (Annexe C);
- b) la résistance thermique est décrite pour chaque interrupteur (6.2.4);
- c) ajout d'un essai d'isolement entre le capteur de température et les bornes, en cas d'accord avec l'utilisateur (6.1.2).

Le texte de cette Norme internationale est issu des documents suivants:

Projet	Rapport de vote
47E/832/FDIS	47E/844/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à son approbation.

La langue employée pour l'élaboration de cette Norme internationale est l'anglais.

La version française de la norme n'a pas été soumise au vote.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2, il a été développé selon les Directives ISO/IEC, Partie 1 et les Directives ISO/IEC, Supplément IEC, disponibles sous [www.iec.ch/members\\_experts/refdocs](http://www.iec.ch/members_experts/refdocs). Les principaux types de documents développés par l'IEC sont décrits plus en détail sous [www.iec.ch/publications](http://www.iec.ch/publications).

La présente Norme internationale est à utiliser conjointement avec l'IEC 60747-1:2006 et son Amendement 1:2010.

Une liste de toutes les parties de la série IEC 60747, publiées sous le titre général *Dispositifs à semiconducteurs*, se trouve sur le site Web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site Web de l'IEC sous [webstore.iec.ch](http://webstore.iec.ch) dans les données relatives au document recherché. À cette date, le document sera:

- reconduit,
- supprimé, ou
- révisé.

## DISPOSITIFS À SEMICONDUCTEURS –

### Partie 15: Dispositifs discrets – Dispositifs de puissance à semiconducteurs isolés

#### 1 Domaine d'application

Le présent document spécifie les exigences relatives aux dispositifs de puissance à semiconducteurs isolés. Ces exigences s'ajoutent à celles qui figurent dans d'autres parties de l'IEC 60747 pour les dispositifs de puissance non isolés correspondants et dans des parties de l'IEC 60748 pour les circuits intégrés.

#### 2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60068-2-1:2007, *Essais d'environnement – Partie 2-1: Essais – Essai A: Froid*

IEC 60270:2015, *Techniques des essais à haute tension – Mesures des décharges partielles*

IEC 60664-1:2020, *Coordination de l'isolement des matériels dans les réseaux d'énergie électrique à basse tension – Partie 1: Principes, exigences et essais*

IEC 60721-3-3:2019, *Classification des conditions d'environnement – Partie 3-3: Classification des groupements des agents d'environnement et de leurs sévérités – Utilisation à poste fixe, protégé contre les intempéries*

IEC 60747-1:2006 *Dispositifs à semiconducteurs – Partie 1: Généralités*  
IEC 60747-1:2006/AMD1:2010

IEC 60747-2:2016, *Dispositifs à semiconducteurs – Partie 2: Dispositifs discrets – Diodes de redressement*

IEC 60747-6:2016, *Dispositifs à semiconducteurs – Partie 6: Dispositifs discrets – Thyristors*

IEC 60747-7:2019, *Dispositifs à semiconducteurs – Dispositifs discrets – Partie 7: Transistors bipolaires*

IEC 60747-8:2021, *Semiconductor devices – Part 8: Field-effect transistors (disponible en anglais seulement)*

IEC 60747-9:2019, *Dispositifs à semiconducteurs – Partie 9: Dispositifs discrets – Transistors bipolaires à grille isolée (IGBT)*

IEC 60748 (toutes les parties), *Dispositifs à semiconducteurs – Circuits intégrés*

IEC 60749-5:2017, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 5: Essai continu de durée de vie sous température et humidité avec polarisation*

IEC 60749-6:2017, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 6: Stockage à haute température*

IEC 60749-10:2003, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 10: Chocs mécaniques*

IEC 60749-12:2017, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 12: Vibrations, fréquences variables*

IEC 60749-15:2020, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 15: Résistance à la température de brasage pour dispositifs par trous traversants*

IEC 60749-21:2011, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 21: Brasabilité*

IEC 60749-25:2003, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 25: Cycles de température*

IEC 60749-34:2010, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 34: Cycles en puissance*